

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

①

PUBLICATION NUMBER : 03293740
 PUBLICATION DATE : 25-12-91

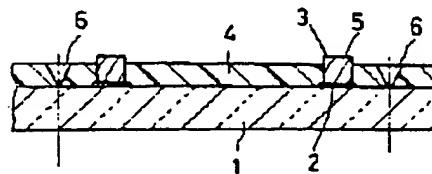
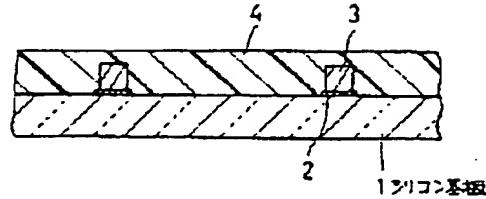
APPLICATION DATE : 12-04-90
 APPLICATION NUMBER : 02095056

APPLICANT : CASIO COMPUT CO LTD;

INVENTOR : KIZAKI MASAYASU;

INT.CL. : H01L 21/60

TITLE : CONNECTING METHOD FOR SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To efficiently connect a semiconductor device without edge short-circuit by forming an insulating film on the surface of a semiconductor wafer on a bump side in the state of the wafer, etching to the intermediate of the film thickness, and allowing the end of the bump to protrude upward from the insulating film.

CONSTITUTION: After bumps 3 are formed on the pad electrode 2 of a silicon substrate 1, an insulating film 4 is provided on the upper surface of the substrate 1 formed with the bumps 3. The film 4 is formed of liquid polyimide resin, etc., having insulating properties, coated with the resin by spin coating, dried and cured. Then, the entire surface of the film 4 is half etched to be removed to the intermediate of the film thickness from the upper surface, and the upper ends 5 of the bumps 3 are allowed to protrude upward from the film 4. Thus, an edge short-circuit can be prevented, and a semiconductor chip can efficiently be connected to the connecting terminal of the substrate.

COPYRIGHT: (C) JPO

①日本国特許庁(JP)

②特許出願公開

③公開特許公報(A) 平3-293740

④Int. Cl.

H 01 L 21/60

級別記号

3 1 1

庁内整理番号

6918-4M

⑤公開 平成3年(1991)12月25日

3 1 1

6918-4M

審査請求 未請求 求査項の数 1 (全4頁)

⑥発明の名称 半導体装置の接続方法

⑦特 願 平2-95056

⑧出 願 平2(1990)4月12日

⑨発明者 木崎 正康 東京都青梅市今井3丁目10番地6 カシオ計算機株式会社

青梅事業所内

⑩出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑪代理人 弁理士 杉村 次郎

明細書

1. 発明の名称

半導体装置の接続方法

2. 特許請求の範囲

半導体ウエハにバンプ電極を形成する工程と、

前記半導体ウエハの前記バンプ電極側の裏面にスピンコーティングにより絶縁膜を形成する工程と、

前記絶縁膜をその裏面の中間までエッチングして前記バンプ電極の先端部分を前記絶縁膜の上方に突出させる工程と、

前記半導体ウエハをダイシングして個々の半導体装置に分割する工程と、

前記半導体装置の絶縁膜から突出した前記バンプ電極の先端部分を基板の接続端子にボンディングする工程と、

からなる半導体装置の接続方法。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は半導体チップ等の半導体装置の接続方法に関する。

【発明の技術】

従来、ICチップ等の半導体チップは、半導体ウエハのパッド電極上にバンプ電極を形成した上、半導体ウエハをダイシングすることにより、個々のチップ部品として分割形成されている。

この半導体チップを基板に搭載する方法として、TAB (Tape Automated Bonding) 方式が知られている。このTAB方式では、フィルム基板にデバイスホールを形成した上、フィルム基板の裏面に鋼等の金属板をラミネートし、この金属板をエッチングしてデバイスホールの底から内側へ突出するフィンガリードを形成し、このフィンガリードに半導体チップのバンプ電極をボンディングすることにより、半導体チップをフィルム基板に搭載している。

特開平3-293740 (2)

【発明が解決しようとする課題】

しかし、上述した半導体チップの接続方法では、フィルム基板のフィンガリードに半導体チップのバンプ電極をポンディングする際、フィンガリードが半導体チップの外端部に接続して短絡するという所蔵エッジショートを起こし易い。そのため、ポンディング後にフィンガリードが半導体チップの外端部に接続しないように、各半導体チップ毎に、フィンガリードをフォーミング加工により屈曲させたり、あるいは半導体チップの外端部に絶縁シートを配置したりしなければならず、被膜作成が複雑で、作業性が極めて悪いという問題がある。

この発明の目的は、エッジショートを防ぎ、簡単に半導体装置を接続することのできる半導体装置の接続方法を提供することである。

【課題を解決するための手段】

この発明は上述した目的を達成するために、半導体ウエハにバンプ電極を形成した上、前記半導

体ウエハのバンプ電極側の表面にスピンドルコーティングにより絶縁膜を形成し、この絶縁膜をその膜厚の中間までエッティングして前記バンプ電極の先端部分を絶縁膜の上方に突出させた後、前記半導体ウエハをダイシングして個々の半導体装置に分離し、この分離された半導体装置の絶縁膜から突出した前記バンプ電極の先端部分を基板の接続端子にポンディングすることである。

【作用】

この発明によれば、半導体ウエハの状態で、半導体ウエハのバンプ電極側の表面に絶縁膜を形成し、この絶縁膜を膜厚の中間までエッティングすることにより前記バンプ電極の先端部分を絶縁膜の上方に突出させたので、この後、半導体ウエハをダイシングして個々の半導体装置に分離しても、分離された個々の半導体装置の外端部には絶縁膜が形成されることとなる。そのため、個々の半導体装置を基板の接続端子にポンディングする際、従来のように各半導体装置毎に、基板の接続端子

をフォーミング加工により屈曲させたり、あるいは半導体装置の外端部に絶縁シートを避けたりしなくとも、エッジショートを起さず、半導体装置を基板の接続端子に簡単かつ容易にポンディングでき、極めて簡単に接続することができる。

【実施例】

以下、第1図～第3図を参照して、この発明の一実施例を説明する。

まず、第2図に示すように、シリコン基板（半導体ウエハ）1のパッド電極2上にバンプ電極3を形成する。この場合、シリコン基板1にはチップ形成領域が多段区画されており、各チップ形成領域にはそれぞれ所定の集積回路が形成されているとともにパッド電極2が形成されている。

そして、パッド電極2上にバンプ電極3を形成する場合には、シリコン基板1の上面（パッド電極2側の面）にフォトレジストを塗布し、このフォトレジストをフォトリソグラフィ法により露光し現象することにより、パッド電極2と対応す

る箇所に開口を形成し、この状態でメットを施すと、開口を通してパッド電極2上にバンプ電極3が形成される。このバンプ電極3は金や平田等の金属よりなり、その高さは30μm程度に形成されている。

この後、同図に示すように、バンプ電極3が形成されたシリコン基板1の上面に絶縁膜4を設ける。この絶縁膜4は絶縁性を有する膜状のポリイシド樹脂等よりなり、この樹脂をスピンドルコーティングにより塗布した上、乾燥硬化することにより形成される。この場合、絶縁膜4の膜厚は図では、バンプ電極3の高さよりも厚く形成されているが、バンプ電極3の高さとほぼ同じ膜厚に形成してもよい。しかし、いずれの場合においても、絶縁膜4の上面はシリコン基板1の上面と平行に形成することが望ましい。

次に、第3図に示すように、絶縁膜4の全表面をハーフエッティングによりその上面から膜厚の中間まで除去してバンプ電極3の上端部分5を絶縁膜4の上方に突出させる。この場合、ハーフエッ

特開平3-293740 (3)

チングはエッティング時間等のエッティング条件を適宜設定することによりエッティング量を調整することができる。また、エッティング後の絶縁膜4の膜厚は、パンプ電極3の高さの80~100%の厚さが望ましい。例えば、パンプ電極3の高さが30μm程度であれば、絶縁膜4の厚さを25μm程度に形成する。

この後、同図に示すように、シリコン基板1のチャップ形成領域の境界に位置する箇所(2点鎖線で示す箇所)の絶縁膜4にダイシング用の開口を形成する。この場合には、絶縁膜4の表面にファトレジストを塗布して露光し現像することにより、チャップ形成領域の境界と対応する箇所のファトレジストに開口を形成し、この開口を通して絶縁膜4をエッティングすることにより、ダイシング用の開口が形成される。なお、この開口は断面形状が「マ」字形に形成されたものが望ましいが、これに限られない。そして、ダイシング用の開口に因ってシリコン基板1をダイヤモンドブレード等によりダイシングして、個々の半導体チャップ7

に分割する。

次に、第1回に示すように、分割された半導体チャップ7をTAB方式によりフィルム基板8に搭載する。この場合には、予めフィルム基板8にフィンガリード9を形成する。すなわち、フィルム基板8の所定箇所にデバイスホール10を形成した上、フィルム基板8の裏面に鋼等の金属板をラミネートし、この金属板をフォトリソグラフィ法を用いてエッティングし、金属板の不要な部分を除去することにより、デバイスホール10内に突出した所定形状のフィンガリード9を形成する。なお、フィンガリード9の裏面にはスズ、半田合金等のメッキを施す。すなわち、パンプ電極3が金の場合にはスズメッキを施し、パンプ電極3が半田の場合には半田合金のメッキを施す。

そして、半導体チャップ7をフィルム基板8に搭載する場合には、フィルム基板8のデバイスホール10内に半導体チャップ7を配置し、半導体チャップ7のパンプ電極3をフィンガリード9に對向させ、この状態でパンプ電極3とフィンガリード9

とを熱圧着によりポンディングする。このとき、半導体チャップ7の上面、特に外端部11上には絶縁膜4が形成されているので、パンプ電極3にフィンガリード9をポンディングする際、従来のように各半導体チャップ7毎に、フィンガリード9をフォーミングにより屈曲させたり、あるいは半導体チャップ7の外端部11に絶縁シートを配置したりしなくとも、フィンガリード9が半導体チャップ7の外端部11に接触して短絡することはない。この場合、半導体チャップ7のレイアウト等、半導体チャップ7の外端部11との距離を防ぐ以外にフィンガリード9をフォーミング加工により屈曲させることは差し支えない。この後、パンプ電極3とフィンガリード9の複合部分を樹脂12で封止して保護すればよいので、半導体チャップ7をフィルム基板8に簡単かつ容易に接続することができ、簡単に接続作業を行なうことができる。

なお、この発明は上述した実施例に限定されるものではない。例えば、半導体チャップ7が複数さ

れる基板は、フィルム基板8である必要はなく、硬質の配線基板であってもよい。また、半導体チャップ7のパンプ電極3がポンディングされる接続端子は、必ずしもフィンガリードである必要はなく、基板上に設けられたパッド電極であってもよい。さらに、半導体チャップ7はTAB方式によりポンディングする必要はなく、フリップチャップ方式、あるいはフェイスダウン方式によりポンディングするようにしてもよい。

【発明の効果】

以上詳細に説明したように、この発明によれば、半導体ウェハの状態で、半導体ウェハのパンプ電極側の表面に絶縁膜を形成した上、その膜厚の中間までエッティングすることにより前記パンプ電極の先端部分を絶縁膜の上方に突出させたので、半導体ウェハをダイシングして個々に分割された半導体チャップを基板の接続端子にポンディングする際に、従来のように各半導体チャップ間に、基板の接続端子を屈曲したり、あるいは半導体

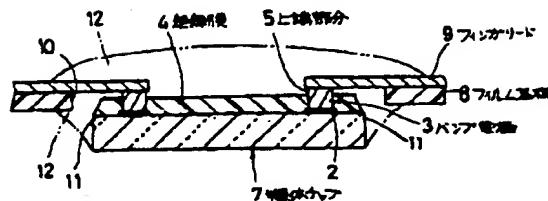
特開平3-293740 (4)

チップの外端部に絶縁シートを設けたりしなくて
も、エッジショートを防ぐことができ、半導体
チップを高板の接続端子に簡単かつ容易に接続す
ることができ、簡めて効率的に接続するこ
とができる。

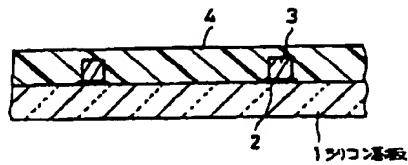
4. 図面の簡単な説明

第1図はこの発明の接続方法によって半導体
チップをフィルム基板に接続した状態の断面図、
第2図は半導体ウエハにバンプ電極を形成した
上、絶縁膜を設けた状態の要部断面図、第3図は
第2図の絶縁膜をハーフエッチングしてバンプ電
極の上端部分を突出させた状態の要部断面図であ
る。

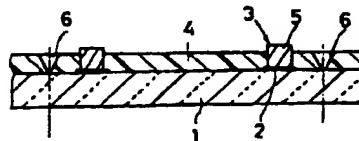
1……シリコン基板（半導体ウエハ）、3……
バンプ電極、4……絶縁膜、5……上端部分（先
端部分）、7……半導体チップ、8……フィルム
基板、9……フィンガリード（接続端子）。



第1図



第2図



第3図